

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-223741

(43)Date of publication of application : 06.09.1989

(51)Int.Cl.

H01L 21/76

H01L 21/94

H01L 27/08

(21)Application number : 63-050054

(71)Applicant : NEC CORP

(22)Date of filing : 02.03.1988

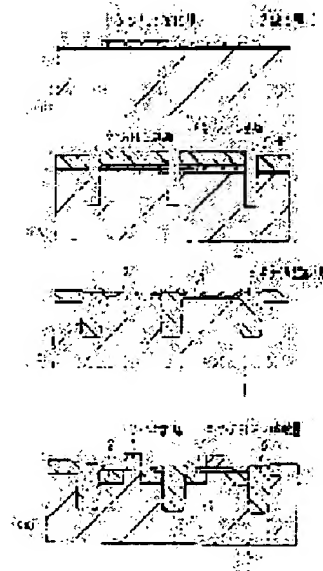
(72)Inventor : MATSUBA SHIYOUICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve the degree of integration of a semiconductor element by forming an isolating oxide film of the element in a MOS integrated circuit in a trench provided to a semiconductor substrate.

CONSTITUTION: A thin oxide film 2 is formed onto a P-type silicon substrate 1, an silicon nitride film 3 is shaped onto the oxide film 2, and the silicon nitride film 3 is patterned through photolithography, and left only on an element forming region. Masks composed of photoresist films 4 are shaped, the oxide films in the periphery of the silicon nitride films 3 are removed through anisotropic etching, and trenches 5 in approximately 2 μ m depth and approximately 3000 \AA width are formed to the silicon substrate. The photoresist films 4 are gotten rid of, and the whole is positioned to an oxide film shape. When an silicon crystal is oxidized, the trenches 5 in the silicon substrate are filled with an silicon oxide and element isolation oxide films 6 are formed because oxide film layers bite into the silicon crystal by approximately 45% of film thickness and approximately 55% as the remainder is projected. Accordingly, since the trenches 5 in width of approximately 3000 \AA are shaped and the silicon crystal is oxidized, the element isolation oxide films 6 in approximately 5000 \AA width can be formed, thus remarkably improving the degree of integration of an element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

平1-223741

⑬ Int. Cl. 4

H 01 L 21/76

21/94
27/08

識別記号

3 3 1

庁内整理番号

L-7638-5F

S-7638-5F

A-6824-5F

B-7735-5F

⑭ 公開 平成1年(1989)9月6日

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭63-50054

⑰ 出 願 昭63(1988)3月2日

⑱ 発 明 者 松 葉 省 市 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置及びその製造方法

特許請求の範囲

(1) 素子分離酸化膜を有する半導体装置において、前記素子分離酸化膜は半導体基板に設けられた溝中に形成されていることを特徴とする半導体装置。

(2) 半導体基板上に酸化膜と窒化膜とを順次形成する工程と、前記窒化膜をパターニングし素子形成領域上にのみ残す工程と、残された窒化膜の外周に沿って前記酸化膜を除去し前記半導体基板に溝を形成したのち酸化し溝中に素子分離酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置及びその製造法に関し、特にMOS型集積回路及びその製造方法に関する。

〔従来の技術〕

従来のMOS型集積回路では第2図に示すように、素子間に選択酸化法により膜厚の厚い素子分離酸化膜6Aを形成し、更にトランジスタの外周に沿って、素子分離酸化膜6A下のP型シリコン基板1中に、P型の不純物拡散層(以後チャネル・ストッパと称す)9を形成することによって、素子間の電気的分離を行っていた。

選択酸化法により素子分離酸化膜6Aを形成するには、厚い酸化膜を形成する際に生じる半導体基板への応力を緩和する為に、まず薄い酸化膜2をP型シリコン基板1上に形成する。次に、その上にシリコン窒化膜3を形成しパターニングする。次に全体を酸化状態に置くことによって、シリコン窒化膜3の無い所にのみに厚い素子分離酸化膜6Aを形成していた。

〔発明が解決しようとする課題〕

上述した従来のMOS型集積回路では、素子間

の電気的な分離の効果を、素子間に形成した厚い素子分離酸化膜6Aの幅と、この素子分離酸化膜6A下に形成したチャンネル・ストッパー9とによって得ていた。

しかしながら、選択酸化法により素子分離酸化膜6Aを形成する場合、マスクのシリコン窒化膜3の下へも酸化が進みいわゆるパーズピークが生じる。このため素子形成領域が狭くなり、素子の集積化が妨げられ、且つ素子寸法の制御性が悪くなるという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置は、素子分離酸化膜を有する半導体装置であって、前記素子分離酸化膜は半導体基板に設けられた溝中に形成されているものである。

また、本発明の半導体装置の製造方法は、半導体基板上に酸化膜と窒化膜とを順次形成する工程と、前記窒化膜をパターニングし素子形成領域上にのみ残す工程と、残された窒化膜の外周に沿って前記酸化膜を除去し前記半導体基板に溝を形成

したのち酸化し溝中に素子分離酸化膜を形成する工程とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)～(d)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示す通り、P型シリコン基板上1に薄い酸化膜2を形成し、更にその上にシリコン窒化膜3を形成したのち、このシリコン窒化膜3をフォトリソグラフィによりパターニングし、素子形成領域上にのみ残す。

次に第1図(b)に示すように、フォトレジスト膜4からなるマスクを形成したのち異方性エッチングを行い、シリコン窒化膜3周囲の酸化膜を除きシリコン基板に深さ約2 μ m、幅約3000 \AA の溝5を形成する。

次に第1図(c)に示すように、フォトレジスト膜4を除去したのち全体を酸化状態に置く。シ

リコン結晶を酸化すると、酸化膜層はシリコン結晶中へ膜厚の45%程度くい込み、残り55%程度分盛り上るので、シリコン基板の溝5はシリコン酸化物で満たされて素子分離酸化膜6が形成される。

以下第1図(d)に示すように、ゲート電極7を形成したのちN型不純物をイオン注入しソース・ドレイン拡散層8を形成する。

従来の製造法では、マスクとしてのシリコン窒化膜への、酸化膜のくい込みが、幅1 μ mの素子分離酸化膜に対して1.5 μ m以上生じていた。その為、トランジスタ間の素子分離領域の幅を4 μ m以下にすることは困難であった。

しかしながら、上記実施例によれば、素子間に深さ方向の寸法が2 μ m程度で、幅が3000 \AA 程度の溝5を形成し、酸化することにより、幅5000 \AA 程度の素子分離酸化膜6が形成できるため、素子の集積化が著しく向上する。

尚、上記実施例において、溝5の底面にP型不純物を導入し、素子分離酸化膜6下にチャンネル・

ストッパーを設けてもよい。

〔発明の効果〕

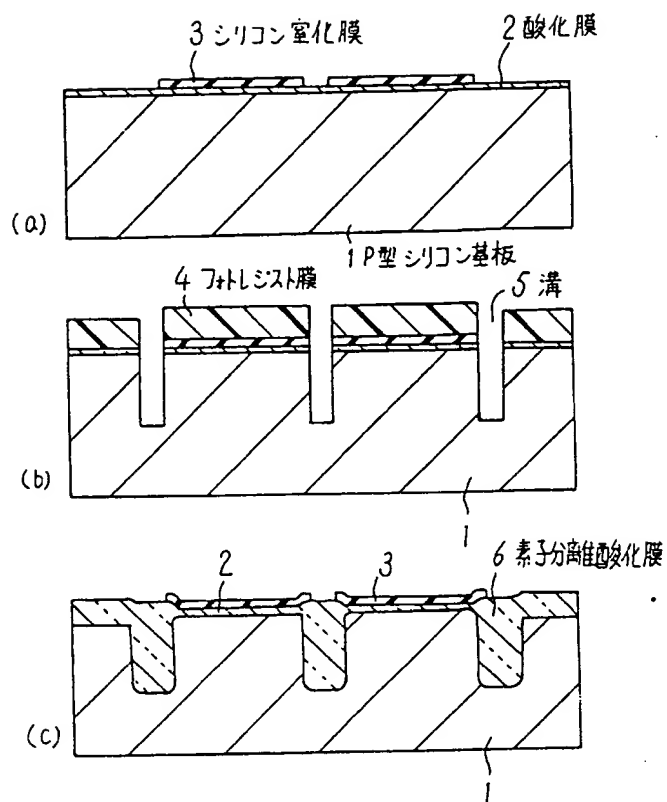
以上説明したように本発明は、半導体装置の素子分離酸化膜を半導体基板に設けた溝中に形成することにより、素子の集積化を向上させることができるという効果がある。

図面の簡単な説明

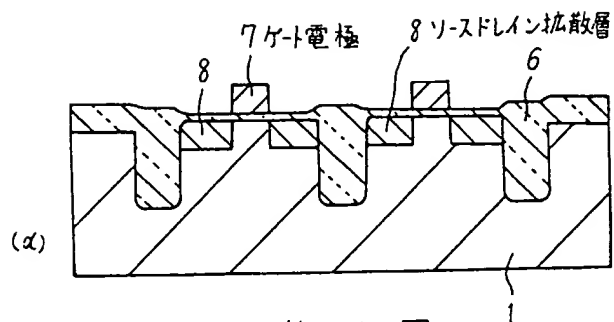
第1図(a)～(d)は、本発明の一実施例を説明するための工程順に示した半導体チップの断面図、第2図は従来の半導体装置の製造方法を説明するための半導体チップの断面図である。

1…P型シリコン基板、2…酸化膜、3…シリコン窒化膜、4…フォトレジスト膜、5…溝、6、6A…素子分離酸化膜、7…ゲート電極、8…ソース・ドレイン拡散層、9…チャンネル・ストッパー。

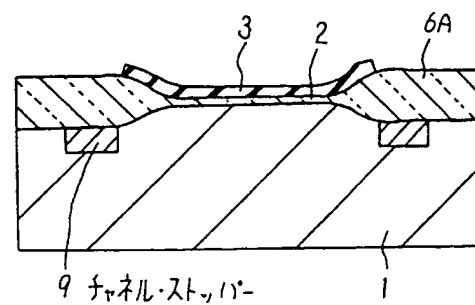
代理人 井理士 内 原 晋



第 1 図



第 1 図



第 2 図